



EXPRESS MAIL NO. EV347012614US

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 06 NOV. 2002

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (1) 53 04 53 04
Télécopie : 33 (1) 42 93 59 30
www.inpi.fr



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08

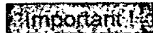
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



REQUÊTE EN DÉLIVRANCE 1/2



Remplir impérativement la 2ème page.

Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 W / 190600

REMISE DES PIÈCES DATE 15 OCT 2002 LIEU 13 INPI MARSEILLE N° D'ENREGISTREMENT 0212794 NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI 15 OCT. 2002		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE OMNIPAT MARCHAND André 24 Place des Martyrs de la Résistance 13100 AIX EN PROVENCE FRANCE	
Vos références pour ce dossier (facultatif) 100204 FR			
Confirmation d'un dépôt par télécopie ☐ N° attribué par l'INPI à la télécopie			
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de brevet		☒	
Demande de certificat d'utilité		☐	
Demande divisionnaire		☐	
Demande de brevet initiale ou demande de certificat d'utilité initiale		N°	Date
		N°	Date
Transformation d'une demande de brevet européen Demande de brevet initiale		☐	Date
		N°	Date
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) Générateur d'horloge à consigne décimale et application d'un tel générateur d'horloge à un circuit UART			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation Date / / N° Pays ou organisation Date / / N° Pays ou organisation Date / / N° ☐ S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
5 DEMANDEUR		☐ S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé «Suite»	
Nom ou dénomination sociale		STMICROELECTRONICS	
Prénoms			
Forme juridique		Société Anonyme	
N° SIREN		3 . 4 . 1 . 4 . 5 . 9 . 3 . 8 . 6	
Code APE-NAF		3 . 2 . 1 . B	
Adresse	Rue	29 Boulevard Romain Rolland	
	Code postal et ville	92120	MONTROUGE
Pays		FRANCE	
Nationalité		FRANCE	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			



BREVET D'INVENTION CERTIFICAT D'UTILITÉ

REQUÊTE EN DÉLIVRANCE 2/2

REMISE DES PIÈCES DATE 15 OCT 2002 LIEU 13 INPI MARSEILLE N° D'ENREGISTREMENT 0212794 NATIONAL ATTRIBUÉ PAR L'INPI		Réservé à l'INPI		DB 540 W / 190600
Vos références pour ce dossier : (facultatif)		100204 FR		
6 MANDATAIRE				
Nom		MARCHAND		
Prénom		André		
Cabinet ou Société		OMNIPAT		
N° de pouvoir permanent et/ou de lien contractuel				
Adresse	Rue	24 Place des Martyrs de la Résistance		
	Code postal et ville	13100	AIX EN PROVENCE	
N° de téléphone (facultatif)		04.42.99.06.60		
N° de télécopie (facultatif)		04.42.99.06.69		
Adresse électronique (facultatif)				
7 INVENTEUR (S)				
Les inventeurs sont les demandeurs		☐ Oui ☒ Non Dans ce cas fournir une désignation d'inventeur(s) séparée		
8 RAPPORT DE RECHERCHE		Uniquement pour une demande de brevet (y compris division et transformation)		
Établissement immédiat ou établissement différé		☒ ☐		
Paiement échelonné de la redevance		Paiement en deux versements, uniquement pour les personnes physiques ☐ Oui ☒ Non		
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques ☐ Requête pour la première fois pour cette invention (joindre un avis de non-imposition) ☐ Requête antérieurement à ce dépôt (joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence):		
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes				
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE (Nom et qualité du signataire) MARCHAND André - CPI N° 95 0303 OMNIPAT		VISA DE LA PRÉFECTURE OU DE L'INPI 		

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

GENEREATEUR D'HORLOGE A CONSIGNE DECIMALE ET APPLICATION
D'UN TEL GENERATEUR D'HORLOGE A UN CIRCUIT UART

La présente invention concerne le domaine des transmissions de données asynchrones et notamment les dispositifs de transmission de données asynchrones appelés des "UARTs" (Universal Asynchronous Receiver
5 Transceiver).

La présente invention concerne plus particulièrement un générateur d'horloge programmable pour délivrer, à partir d'un signal d'horloge primaire de fréquence et de période déterminées, un premier signal
10 d'horloge dont la fréquence est égale à la fréquence du signal d'horloge primaire divisée par une consigne M.

Les figures 1 et 2 illustrent schématiquement un exemple de transmission de données entre deux circuits UART (UART1, UART2). Chaque circuit UART présente une
15 borne de transmission Tx connectée à une borne de réception Rx de l'autre circuit UART. La transmission de données consiste dans la transmission de caractères CHAR1, CHAR2... comportant chacun 8 bits de données B0 à B7 précédés d'un bit de démarrage STB (bit de "start") et
20 suivis d'un bit de stop SPB (fig. 2).

A l'inverse des transmissions de données synchrones, le récepteur (UART1 ou UART2) ne reçoit pas le signal d'horloge de l'émetteur, de sorte que chaque circuit UART dispose de son propre signal d'horloge Hb
25 pour analyser le signal reçu et en déduire la valeur

logique des bits véhiculés par ce signal. Le signal d'horloge du récepteur doit ainsi présenter relativement à celui de l'émetteur une déviation n'excédant pas une certaine valeur, pour que les données puissent être
5 correctement reçues.

Afin d'augmenter les possibilités de transfert de données asynchrones entre dispositifs ayant générateurs d'horloge susceptibles de présenter de fortes dérives avec le temps et la température, on a développé des
10 protocoles de transmission de données permettant au récepteur de caler son signal d'horloge sur celui de l'émetteur, grâce à l'envoi d'un caractère de synchronisation SYNC. Un tel caractère SYNC, par exemple [55]h en notation hexadécimale, soit le caractère
15 "10101010" en notation binaire (bits B0 à B7), offre au récepteur plusieurs fronts descendants lui permettant d'accorder son signal d'horloge sur le signal d'horloge de référence véhiculé par le caractère SYNC.

Des changements de la vitesse de transfert des
20 données peuvent ainsi être prévus et un recalage en fréquence d'un circuit UART peut intervenir à tout instant. Toutefois, le choix de la fréquence du signal d'horloge local ne peut se faire qu'entre deux valeurs discrètes séparées par un pas en fréquence qui est
25 parfois trop important pour offrir une synchronisation satisfaisante.

Ce problème sera mieux compris en se référant à la figure 3, qui représente l'architecture classique d'un étage de réception de données de circuit UART et d'un
30 générateur d'horloge CKGEN1 qui pilote l'étage de réception de données.

Le circuit CKGEN1 comprend un diviseur programmable DIV1 recevant sur une première entrée un signal d'horloge primaire H_0 de fréquence F_0 et de période T_0 délivré par
35 un oscillateur OSC, et sur une deuxième entrée une

consigne M1. La consigne M1 est un nombre entier généralement codé sur 8 bits, soit un nombre entier compris entre 1 et 255 (la valeur 0 étant inutilisable). Le diviseur DIV1 délivre un signal d'horloge de
5 suréchantillonnage Hs de fréquence $F_s = F_o / M1$ et de période $T_s = M1 * T_o$. Le générateur d'horloge CKGEN1 comprend également un diviseur par N DIV2 recevant en entrée le signal Hs et délivrant un signal d'horloge bit Hb de fréquence $F_b = H_s / N$, soit $F_b = F_o / M1 * N$, et de période
10 $T_b = N * T_s$, soit $T_b = N * M1 * T_o$. La fréquence du signal d'horloge bit Hb détermine la vitesse de transfert des données ("baud rate").

Le signal reçu sur la borne Rx du circuit UART est appliqué à un registre à décalage OSREG ("Oversampling
15 Shift Register") piloté par le signal d'horloge Hs. Le registre OSREG présente une sortie parallèle qui est appliquée à l'entrée d'un circuit MBVC et à l'entrée d'un circuit STBDET. Le circuit STBDET est un circuit de détection du bit de démarrage STB. Le circuit MBVC est un
20 circuit de calcul de majorité qui détermine comme étant la valeur d'un bit reçu la valeur majoritaire de K échantillons reçus au cours d'un cycle de N impulsions du signal d'horloge de suréchantillonnage Hs (soit une période du signal Hb). Généralement, N est égal à 16 et
25 $K=3$, de sorte que 3 échantillons parmi 16 sont analysés à chaque période d'horloge Hb. Il s'agit des trois échantillons milieux de la série des N échantillons reçus, soit les 7ème, 8ème et 9ème échantillons quand $N=16$.

30 Les bits B0, B1,...B7 de chaque caractère reçu sont ainsi délivrés un à un par le circuit MBVC et appliqués à un registre à décalage DTREG ("Data Register") piloté par le signal d'horloge bit Hb. Ces opérations sont effectuées sous le contrôle d'un séquenceur SEQ,
35 généralement une machine d'état à logique câblée, qui

contrôle notamment le déchargement des registres OSREG et DTREG et reçoit un signal DET de détection du bit de démarrage délivré par le circuit STBDET.

La figure 4 illustre une séquence de suréchantillonnage d'un bit B_n de rang n, dans le cas où M₁=25 et N=16. On obtient 16 échantillons S₀ à S₁₅ dont la durée est égale à la période T_s des impulsions du signal d'horloge H_s, T_s étant ici égale à 25*To. La valeur du bit B_n délivrée par le circuit MBVC correspond à la valeur majoritaire des échantillons S₆, S₇ et S₈ (7ème, 8ème et 9ème échantillons).

En résumé, la consigne M₁ fournie au générateur CKGEN1 détermine la fréquence du signal d'horloge de suréchantillonnage F_s et la fréquence du signal d'horloge bit H_s. La consigne M₁ est délivrée par une unité BDU de détermination de la vitesse de transfert des données ("Baud Rate Control Unit") et est stockée dans un registre BRREG ("Baud Rate Register) dont la sortie est appliquée au générateur CKGEN1. L'unité BDU peut être une unité à logique câblée spécialisée dans l'analyse du caractère SYNC décrit plus haut ou un circuit programmable comme un microprocesseur.

Comme indiqué plus haut, la consigne M₁ peut être modifiée à tout instant par l'unité BDU. L'écart ΔF_s% entre deux fréquences de suréchantillonnage adjacentes F_{s1}, F_{s2} (soit un incrément de 1 appliqué à la consigne M₁) est égal à :

$$(1) \Delta F_s \% = 100 * (F_{s2} - F_{s1}) / F_{s1}$$

30

$$\Rightarrow (2) \Delta F_s \% = 100 * [(F_o / M_1) - (F_o / (M_1 + 1))] / (F_o / (M_1 + 1))$$

$$\Rightarrow (3) \Delta F_s \% = 100 * [(M_1 + 1 / M_1) - 1]$$

$$\Rightarrow (4) \Delta F_s \% = 100/M_1$$

Lorsque l'analyse du caractère de synchronisation conduit l'unité BDU à trouver une vitesse de transfert de données à mi-chemin entre les deux valeurs possibles F_{s1} , F_{s2} , l'erreur de recalage d'horloge ou erreur de synchronisation $\text{SYNCERR}(F_s)$ est égale à la moitié de l'incrément $\Delta F_s \%$, soit :

$$10 \quad \text{SYNCERR}(F_s) = 100/2M_1 \%$$

On peut observer que l'erreur de synchronisation $\text{SYNCERR}(F_b)$ sur la fréquence du signal d'horloge bit H_b est identique à l'erreur $\text{SYNCERR}(F_s)$:

15

$$(5) \Delta F_b \% = 100 * [(F_o/N * M_1) - (F_o/N * (M_1 + 1))] / (F_o/N * (M_1 + 1))$$

$$\Rightarrow (6) \Delta F_b \% = 100 * [(F_o/M_1) - (F_o/(M_1 + 1))] / (F_o/(M_1 + 1))$$

20

$$\Rightarrow (7) \Delta F_b \% = \Delta F_s \%$$

$$\Rightarrow (8) \text{SYNCERR}(F_b) = \text{SYNCERR}(F_s)$$

Cette erreur est d'autant plus importante que la consigne M_1 est faible. Par exemple, pour $M_1=25$ l'erreur de synchronisation SYNCERR est à peu près de 2% lorsque la fréquence du signal d'horloge de suréchantillonnage F_s est décalée sur la fréquence voisine $F_o/(M_1+1)$ ou $F_o/(M_1-1)$. Cette erreur est nettement supérieure pour des valeurs de M_1 comprises entre 1 et 24. Or, une erreur de 2% représente déjà la limite admise par certains protocoles comme le protocole LIN (Local Interconnect Network).

Une solution à ce problème peut consister à augmenter la fréquence du signal d'horloge primaire F_0 . Si par exemple la fréquence F_0 est doublée, la valeur limite de la consigne M_1 permettant d'atteindre le seuil d'erreur de 2% est divisée par deux (soit $M_1=12$ ou $M=13$).
5 Toutefois, une telle augmentation de la fréquence primaire n'est pas souhaitée en pratique.

Une autre solution peut consister à utiliser un oscillateur contrôlé en tension (VCO) piloté par une
10 boucle à verrouillage de phase (PLL). Toutefois, les oscillateurs contrôlés en tension sont encombrants et coûteux, et les circuits UART sont des produits devant présenter un prix de revient réduit.

Ainsi, l'objectif de la présente invention est de
15 prévoir un procédé et un dispositif permettant, pour une fréquence déterminée du signal d'horloge primaire, de diminuer l'erreur de synchronisation lors d'un recalage d'horloge.

A cet effet, l'idée de la présente invention est de
20 prévoir un générateur d'horloge capable de recevoir comme consigne de division un nombre décimal, et présentant un pas très fin entre les différentes fréquences d'horloge qu'il peut délivrer.

Ainsi, un autre objectif de l'invention est de
25 prévoir un procédé permettant d'effectuer une division de fréquence à partir d'un nombre décimal.

Ces objectifs sont atteints par la prévision d'un générateur d'horloge programmable pour délivrer à partir d'un signal d'horloge primaire de fréquence et de période
30 déterminées un premier signal d'horloge dont la fréquence est égale à la fréquence du signal d'horloge primaire divisée par une consigne M , dans lequel la consigne M est un nombre décimal comprenant une partie entière M_1 et une partie décimale M_2 , le générateur comprenant des moyens
35 pour moduler la période des impulsions du premier signal

d'horloge de manière que la durée de N_i impulsions successives soit sensiblement égale à $M \cdot N_i$ fois la période du signal d'horloge primaire, N_i étant un nombre de référence pour la modulation de la période des impulsions du premier signal d'horloge.

Selon un mode de réalisation, le générateur comprend des moyens pour délivrer un second signal d'horloge dont la fréquence est égale à la fréquence du premier signal d'horloge divisée par un nombre N .

10 Selon un mode de réalisation, N_i est égal à N .

Selon un mode de réalisation, la partie décimale M_2 de la consigne M est un nombre rationnel codé binaire représentant une fraction modulable par incréments égaux à $1/N_i$.

15 Selon un mode de réalisation, la partie décimale M_2 est une fraction comprise entre $-(N_i-1)/(2 \cdot N_i)$ et $+0,5$ ou entre $-0,5$ et $+(N_i-1)/(2 \cdot N_i)$ par incréments égaux à $1/N_i$.

Selon un mode de réalisation, le générateur ne reçoit en entrée que la partie entière M_1 de la consigne et le numérateur de la partie décimale rationnelle M_2 de la consigne.

20 Selon un mode de réalisation, le générateur comprend des moyens de modulation de la période des impulsions du premier signal d'horloge, agencés pour délivrer des impulsions du premier signal d'horloge dont la période est égale à la période du signal d'horloge primaire multipliée par un nombre entier dont la valeur est variable.

30 Selon un mode de réalisation, les moyens de modulation sont agencés pour délivrer des impulsions du premier signal d'horloge dont la période est modulée sur deux valeurs égales à $M_1 \cdot T_0$ et T_0 , T_0 étant la période du signal d'horloge primaire.

35 Selon un mode de réalisation, les moyens de modulation sont agencés pour délivrer des impulsions du

premier signal d'horloge dont la période est modulée sur deux valeurs égales à $M1 \cdot T_0$ et T_0 , T_0 étant la période du signal d'horloge primaire.

5 Selon un mode de réalisation, les moyens de modulation sont agencés pour délivrer des impulsions du premier signal d'horloge dont la période est modulée sur trois valeurs T_0 , $M1 \cdot T_0$ et T_0 , T_0 étant la période du signal d'horloge primaire.

10 Selon un mode de réalisation, les moyens de modulation comprennent un circuit multiplexeur recevant en entrée plusieurs consignes de division dont la valeur varie par incréments entiers autour de la partie entière $M1$ de la consigne M , délivrant une consigne de valeur variable sélectionnée parmi les plusieurs consignes de
15 division, et un diviseur de la fréquence du signal d'horloge primaire recevant sur une entrée la consigne de valeur variable sélectionnée par le circuit multiplexeur.

Selon un mode de réalisation, les moyens de modulation sont pilotés par un circuit de répartition de
20 modulation agencé pour répartir d'une manière déterminée, sur un groupe de N_i impulsions successives, les impulsions ayant leur période modulée.

Selon un mode de réalisation, le circuit de répartition module en priorité la période des premières
25 et des dernières impulsions parmi un groupe de N_i impulsions successives du premier signal d'horloge, et confère à la période des impulsions centrales du groupe de N_i impulsions une valeur non modulée.

Selon un mode de réalisation, lorsque $M2$ est
30 supérieur à 0,5 le circuit de répartition module la période des impulsions du premier signal d'horloge par valeurs inférieures en utilisant comme valeur non modulée la valeur $T_0 \cdot (M1 + 1)$, T_0 étant la période du signal d'horloge primaire.

Selon un mode de réalisation, lorsque $M2$ est inférieur à 0,5 le circuit de répartition module la période des impulsions du premier signal d'horloge par valeurs supérieures en utilisant comme valeur non modulée la valeur $To*(M1)$, To étant la période du signal d'horloge primaire.

Selon un mode de réalisation, le circuit de répartition comprend un bloc à logique câblée recevant en entrée la partie décimale $M1$ de la consigne M et délivrant aux moyens de modulation, à chaque nouvelle impulsion du premier signal d'horloge, un signal de sélection du nombre entier déterminant la période de l'impulsion du premier signal d'horloge.

La présente invention concerne également un circuit d'émission réception de données asynchrones comprenant un registre de suréchantillonnage relié à une borne de réception de données, le registre étant piloté par un signal d'horloge de suréchantillonnage, comprenant un générateur d'horloge selon l'invention, le premier signal d'horloge délivré par le générateur d'horloge formant le signal d'horloge de suréchantillonnage.

Selon un mode de réalisation, le circuit d'émission réception de données utilise pour la réception ou l'émission de données un signal d'horloge bit dont la fréquence est égale à la fréquence du premier signal d'horloge divisée par le nombre de référence Ni du circuit générateur d'horloge.

La présente invention concerne également un procédé pour délivrer à partir d'un signal d'horloge primaire de fréquence et de période déterminées, un premier signal d'horloge dont la fréquence est égale à la fréquence du signal d'horloge primaire divisée par une consigne M , dans lequel la consigne M est un nombre décimal comprenant une partie entière $M1$ et une partie décimale $M2$, et dans lequel la période des impulsions du premier

signal d'horloge est modulée de manière que la durée de N_i impulsions successives soit sensiblement égale à $M \cdot N_i$ fois la période du signal d'horloge primaire, N_i étant un nombre de référence pour la modulation de la période des impulsions du premier signal d'horloge.

Selon un mode de réalisation, le procédé comprend la production d'un second signal d'horloge dont la fréquence est égale à la fréquence du premier signal d'horloge divisée par un nombre N .

10 Selon un mode de réalisation, N_i est égal à N .

Selon un mode de réalisation, la partie décimale M_2 de la consigne M est un nombre rationnel codé binaire représentant une fraction modulable par incréments égaux à $1/N_i$.

15 Selon un mode de réalisation, la partie décimale M_2 est une fraction comprise entre $-(N_i-1)/(2 \cdot N_i)$ et $+0,5$ ou entre $-0,5$ et $+(N_i-1)/(2 \cdot N_i)$ par incréments égaux à $1/N_i$.

Selon un mode de réalisation, le codage du nombre rationnel M_2 ne comprend que le codage du numérateur du nombre rationnel M_2 , dont le dénominateur est un nombre prédéterminé.

20 Selon un mode de réalisation, la période des impulsions du premier signal d'horloge est modulée en multipliant la période du signal d'horloge primaire par un nombre entier dont la valeur est variable.

Selon un mode de réalisation, la période des impulsions du premier signal d'horloge est modulée sur deux valeurs égales à $M_1 \cdot T_o$ et T_o , T_o étant la période du signal d'horloge primaire.

30 Selon un mode de réalisation, la période des impulsions du premier signal d'horloge est modulée sur deux valeurs égales à $M_1 \cdot T_o$ et T_o , T_o étant la période du signal d'horloge primaire.

Selon un mode de réalisation, la période des impulsions du premier signal d'horloge est modulée sur

35

trois valeurs $\cdot T_0$, $M_1 \cdot T_0$ et $\cdot T_0$, T_0 étant la période du signal d'horloge primaire.

Selon un mode de réalisation, la modulation de la période des impulsions du premier signal d'horloge est mise en œuvre au moyen d'un circuit multiplexeur recevant en entrée plusieurs consignes de division dont la valeur varie par incréments entiers autour de la partie entière M_1 de la consigne M , et délivrant une consigne de valeur variable sélectionnée parmi les plusieurs consignes de division, et au moyen d'un diviseur de la fréquence du signal d'horloge primaire recevant sur une entrée la consigne de valeur variable sélectionnée par le circuit multiplexeur.

Selon un mode de réalisation, la modulation de la période des impulsions du premier signal d'horloge comprend une répartition de modulation consistant à répartir d'une manière déterminée, sur un groupe de N_i impulsions successives, les impulsions ayant leur période modulée.

Selon un mode de réalisation, la répartition de modulation comprend le fait de moduler en priorité la période des premières et des dernières impulsions parmi un groupe de N_i impulsions successives, en conférant à la période des impulsions centrales du groupe une valeur non modulée.

Selon un mode de réalisation, lorsque M_2 est supérieur à 0,5 la période des impulsions du premier signal d'horloge est modulée par valeurs inférieures en utilisant comme valeur non modulée la valeur $T_0 \cdot (M_1 + 1)$, T_0 étant la période du signal d'horloge primaire.

Selon un mode de réalisation, lorsque M_2 est inférieur à 0,5 la période des impulsions du premier signal d'horloge est modulée par valeurs supérieures en utilisant comme valeur non modulée la valeur $T_0 \cdot (M_1)$, T_0 étant la période du signal d'horloge primaire.

La présente invention concerne également un procédé pour le suréchantillonnage, au moyen d'un signal d'horloge de suréchantillonnage, de données reçues sur une borne de réception de données, dans lequel le signal d'horloge de suréchantillonnage est délivré conformément au procédé selon l'invention, à 31 à partir d'un signal d'horloge primaire de fréquence et de période déterminées.

Selon un mode de réalisation, le procédé comprend la production d'un signal d'horloge bit dont la fréquence est égale à la fréquence du signal d'horloge de suréchantillonnage divisée par un nombre N.

Selon un mode de réalisation, $N_i = N$.

Ces objets, caractéristiques et avantages ainsi que d'autres de la présente invention seront exposés plus en détail dans la description suivante du procédé selon l'invention et d'un exemple de réalisation d'un générateur d'horloge selon l'invention, faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

- la figure 1 précédemment décrite représente une liaison de données entre deux circuits UART,
- la figure 2 précédemment décrite représente le format classique de caractères asynchrones échangés par les circuits UART,
- la figure 3 précédemment décrite représente l'architecture d'un étage de réception de données de circuit UART et d'un générateur d'horloge classique,
- la figure 4 précédemment décrite représente une séquence de suréchantillonnage d'un bit permettant de déduire la valeur de ce bit par calcul de valeur majoritaire d'échantillons,

- la figure 5 représente un étage de réception de données de circuit UART comprenant un générateur d'horloge selon l'invention,

- la figure 6 représente un exemple de réalisation du
5 générateur d'horloge selon l'invention, et

- les figures 7, 8 et 9 illustre des exemples de modulation de la période des impulsions d'un signal d'horloge délivré par le générateur d'horloge selon l'invention.

10 La figure 5 représente un étage de réception de données de circuit UART comprenant un générateur d'horloge CKGEN2 selon l'invention.

De façon classique, le générateur CKGEN2 reçoit un signal d'horloge primaire H_0 de fréquence F_0 et de
15 période T_0 , et délivre un signal d'horloge de suréchantillonnage H_s de fréquence F_s et de période T_s ainsi qu'un signal d'horloge bit H_b de fréquence F_b et de période T_b .

Ces signaux d'horloge sont appliqués à divers
20 éléments déjà décrits plus haut en relation avec la figure 3, dont les références sont conservées. On distingue ainsi une borne Rx de réception de données reliée à l'entrée d'un registre de suréchantillonnage OSREG. Ce registre est piloté par le signal d'horloge H_s
25 et sa sortie est appliquée à un circuit de calcul de majorité MBVC et à un circuit STBDET de détection du bit de démarrage. La sortie du circuit MBVC est reliée à un registre de réception de données DTREG qui est piloté par le signal d'horloge bit H_b . Un séquenceur SEQ pilote ces
30 divers éléments.

Selon l'invention, le circuit CKGEN2 reçoit sous forme binaire une consigne M comprenant une partie entière M_1 supérieure ou égale à 1 et une partie décimale M_2 inférieure à 1, par exemple $M = 25,19$ avec $M_1 = 25$ et
35 $M_2 = 0,19$. La partie entière M_1 de la consigne M est

identique à la consigne M1 appliquée à un générateur d'horloge classique tel que le générateur CKGEN1 décrit plus haut. La consigne M détermine la fréquence F_s du signal d'horloge de suréchantillonnage ($F_s = F_o/M$) et la
 5 fréquence F_b du signal d'horloge bit, qui est proportionnelle à la fréquence F_s dans un rapport N (soit $F_b = F_s/N = F_o/M*N$).

La consigne M est délivrée par une unité BDU ("Baud Rate Control Unit") chargée de la détermination de la
 10 vitesse de transfert des données. L'unité BDU est en soi classique mais est ici autorisée à délivrer un nombre décimal M après analyse d'un caractère de synchronisation décrit plus haut. Cette unité BDU n'est d'ailleurs pas nécessairement une unité de synchronisation utilisant le
 15 caractère SYNC, et peut être tout type de circuit chargé de contrôler la valeur de la consigne M fournie au générateur CKGEN2.

La consigne M est chargée dans deux registres BRREG1, BRREG2 recevant respectivement la partie M1 et la
 20 partie M2, et les sorties de ces registres sont appliquées au générateur CKGEN2.

Selon l'invention, le générateur CKGEN2 module la période des impulsions du signal d'horloge de suréchantillonnage H_s , c'est-à-dire la durée séparant
 25 deux impulsions successives du signal d'horloge H_s , de manière que la valeur moyenne T_{sav} de la période T_s de ces impulsions, sur un nombre déterminé N_i d'impulsions, soit sensiblement égale à T_o*M . Cette règle peut être formalisée par la relation suivante :

30

$$(9) T_{sav} = (\sum_{N_i} T_s) / N_i \approx T_o * M$$

dans laquelle $\sum_{Ni} Ts$ est la somme de Ni périodes Ts . Il en résulte qu'en moyenne la période bit Tb est également proportionnelle à la période primaire To :

$$(10) Tb = Ni * Ts_{av} \approx Ni * M * To$$

Ce nombre déterminé d'impulsions Ni pour le calcul de la valeur moyenne mentionnée à la relation (9) est ici avantageusement choisi égal à N , de sorte qu'il existe une correspondance exacte entre la durée de la période bit Tb et la consigne M . La relation (9) devient alors :

$$(11) Ts_{av} = (\sum_N Ts) / N \approx To * M$$

Ainsi :

$$(12) Fs \approx Fo / M$$

$$(13) Fb = Fs / N \approx Fo / N * M$$

Ainsi, grâce à l'invention, le signal d'horloge de suréchantillonnage Hs et le signal d'horloge bit Hb peuvent être finement ajustés avec un diviseur décimal M comprenant des chiffres après la virgule. Les erreurs de synchronisation sont fortement réduites et ramenées à l'incrément existant entre deux valeurs successives de la partie décimale $M2$.

Selon un aspect de l'invention, la partie décimale $M2$ est un nombre rationnel du type :

$$(14) M2 = M3 / M3_{max}$$

dont seul le numérateur $M3$ est stocké codé dans le registre BRREG2, sous la forme d'un nombre binaire de X

bits. Le numérateur M3 peut ainsi présenter M3max valeurs possibles avec $M3max=2^x$, et est compris entre 0 et une valeur limite $M3max-1 = 2^x-1$. Le nombre rationnel M2 est ainsi modulable entre 0 et $(M3max-1)/M3max$ par pas égaux à $1/M3max$.

Etant donné que la modulation de la période Ts des impulsions du signal Hs est effectuée sur un groupe de Ni impulsions, pour obtenir la valeur moyenne Tsav visée par la relation 9 (ou la relation 11), il n'est pas nécessaire que la valeur limite M3max puisse être supérieure à Ni. En effet on dispose en tout et pour tout de Ni (ou N) impulsions à moduler pour satisfaire la relation 9 (ou la relation 11). Ainsi, dans un souci d'économie du nombre de bits de codage, M3max est de préférence égal à Ni (ou N) et les incréments de la partie décimale M2 sont égaux à $1/Ni$ (ou $1/N$).

Selon encore un autre aspect de l'invention, la période Ts des impulsions du signal d'horloge Hs est modulé par valeurs discrètes au voisinage d'une valeur non modulée et le numérateur M3 du nombre rationnel M2 détermine le nombre de périodes modulées. Cette modulation par valeur discrète peut être faite de diverses manières et notamment selon l'une des trois méthodes mentionnées ci-après.

Méthode 1 : moduler la période de M3 impulsions avec une valeur unique de modulation égale à $To*(M1+1)$ et choisir comme valeur non modulée une période de valeur $To*M1$. Dans ce cas Tsav est égale à :

$$(15) \quad Tsav = 1/Ni [I*(To*M1) + J*(To*(M1+1))]$$

I et J étant des coefficients de modulation qui sont fonction de M3, avec $J=M3$ et $I=M3max-M3$, et M3 le numérateur d'une fraction $M3/M3max$ qui est toujours positive.

Méthode 2 : moduler la période de M3 impulsions avec une valeur unique de modulation égale à $To*(M1-1)$ et choisir comme valeur non modulée une période de valeur $To*M1$. Dans ce cas $Tsav$ est égale à :

5

$$(16) \quad Tsav = 1/Ni[I*(To*M1) + J*(To*(M1-1))]$$

avec $J=M3$ et $I= M3max-M3$, et M3 le numérateur d'une fraction $M3/M3max$ qui est toujours négative.

10

Méthode 3 (combinaison des méthodes 1 et 2) : moduler la période de M3 impulsions avec deux valeurs de modulation égales à $To*(M1+1)$ et $To*(M1-1)$ et choisir comme valeur non modulée une période de valeur $To*M1$. Dans ce cas $Tsav$ obéit à l'une des deux relations (15) ou (16)

15

ci-dessus :

$$(15) \quad Tsav = 1/Ni[I*(To*M1) + J*(To*(M1+1))]$$

ou :

$$(16) \quad Tsav = 1/Ni[I*(To*M1) + J*(To*(M1-1))]$$

20

avec $J=M3$ et $I= M3max-M3$.

Dans ce cas M3 est le numérateur d'une fraction $M3/M3max$ comprise entre $-M3max/(2*M3max)$ et $(M3max-1)/(2*M3max)$ soit entre -0,5 et $(M3max-1)/(2*M3max)$, ou
25 comprise entre $-(M3max-1)/(2*M3max)$ et $M3max/(2*M3max)$ soit entre $-(M3max-1)/(2*M3max)$ et +0,5.

L'avantage de la méthode 3 est que le nombre maximal d'échantillons à moduler dans chaque groupe de Ni impulsions n'est jamais supérieur à $M3max/2$.

30

La figure 6 représente un exemple de réalisation du générateur CKGEN2 mettant en œuvre la méthode 3. On suppose dans cet exemple que M1 peut être choisi entre 1 et 255, soit un codage de M1 sur 8 bits (registre BRREG1). On suppose également que $Ni=N=16$ et on choisit

M3max=N, soit un codage de M3 sur 4 bits (registre BRREG2).

Le générateur d'horloge comprend un diviseur programmable DIV1 en $1/M1$ délivrant le signal d'horloge Hs, et un diviseur en $1/N$ DIV2 délivrant le signal d'horloge bit Hb. Le diviseur programmable DIV1 reçoit en entrée une consigne de division variable MV délivrée par un circuit de modulation MODCT. Le circuit MODCT reçoit en entrée la partie entière M1 de la consigne M et est piloté par un circuit DISCT.

Le diviseur DIV1 comprend un décompteur DCT1 programmable ("down-counter"), ici de 8 bits, piloté par le signal d'horloge primaire Ho. Le décompteur DCT1 présente une entrée recevant la consigne variable MV délivrée par le circuit de modulation MODCT. Sa sortie est appliquée sur une entrée d'un comparateur COMP1 recevant sur son autre entrée la valeur [00]h. La sortie du comparateur COMP1 délivre le signal Hs sous forme d'impulsions de durée To et de période variable $Tb = MV \cdot To$.

La sortie du décompteur DCT1 est également appliquée sur une entrée d'un comparateur COMP2 recevant sur son autre entrée la valeur [01]h. La sortie du comparateur COMP2 délivre un signal LOAD de chargement d'une nouvelle consigne variable MV après chaque cycle de décomptage ayant conduit à la délivrance d'une impulsion du signal d'horloge Hs.

Le diviseur DIV2 comprend un décompteur DCT2 par N, ici de 4 bits, dont l'entrée reçoit le signal Hs. La sortie de ce décompteur est appliquée sur une entrée d'un comparateur COMP3 recevant sur son autre entrée la valeur [00]h. La sortie du comparateur COMP3 délivre le signal Hb sous forme d'impulsions de durée Ts et de période $Tb = N \cdot Ts$.

Le circuit de modulation MODCT comprend un multiplexeur MUX1 recevant sur une première entrée la

partie entière $M1$ de la consigne M et sur une deuxième entrée la partie entière $M1$ décrémentée d'une unité, soit $M1-1$. La valeur $M1-1$ est délivrée par un bloc de décrémentation DECB recevant en entrée la partie entière $M1$. La sortie du multiplexeur MUX1 est appliquée sur une
5 entrée d'un multiplexeur MUX2 dont l'autre entrée reçoit la partie entière $M1$ incrémentée d'une unité, soit $M1+1$. La valeur $M1+1$ est délivrée par un bloc d'incrémentement INCB recevant en entrée la sortie du multiplexeur MUX1
10 (ou la partie entière $M1$).

La consigne variable MV peut ainsi être égale à $M1-1$, $M1$ et $M1+1$. Il en résulte que selon la valeur de la consigne MV appliquée au diviseur DIV1 au terme de chaque cycle de décomptage, la période de l'impulsion suivante
15 du signal Hs peut être égale à $T0*(M1-1)$, $T0*M1$ ou $T0*(M1+1)$.

Les multiplexeurs MUX1, MUX2 sont pilotés respectivement par des signaux DEC, INC délivrés par le circuit DISCT. Lorsque DEC=1 et INC=0, le circuit MODCT
20 délivre une consigne MV égale à $M1-1$. Lorsque DEC=0 et INC=1, le circuit MODCT délivre une consigne MV égale à $M1+1$. Lorsque DEC=0 et INC=0, le circuit MODCT délivre une consigne MV égale à $M1$ (le cas où DEC=1 et INC=1 n'est pas utilisé ici et est équivalent au cas où DEC et
25 INC sont égaux à 0).

Le circuit DISCT est un circuit de répartition de modulation qui reçoit en entrée le numérateur $M3$ de la partie décimale $M2$, laquelle est ici un nombre rationnel $M3/M3max$ ($M3max$ étant ici prédéterminé, seul le
30 numérateur $M3$ est stocké dans le registre BRREG2). Le circuit DISCT répartit les périodes de modulation conformément à la méthode 3 décrite plus haut. Comme à chaque groupe de N impulsions le nombre de période Ts à moduler n'est jamais supérieur à $M3max/2$ soit 8 périodes
35 à moduler au maximum, le circuit DISCT module

préférentiellement la période des premières et des dernières impulsions sans moduler la période des impulsions centrales du groupe (qui définissent les échantillons pris en compte pour le calcul de valeur majoritaire). Le nombre rationnel M2 est ainsi une fraction comprise entre $-N/(2(N-1))$ et $+0,5$ ou entre $-0,5$ et $+N/(2(N-1))$ par pas égaux à $1/N$. On choisit ici la convention de codage suivante :

10 Convention de codage de la partie décimale M2 :

	M3 = 0001 $\Rightarrow$ M2 = $+1/16$ = 0,06
	M3 = 0010 $\Rightarrow$ M2 = $+2/16$ = 0,13
	M3 = 0011 $\Rightarrow$ M2 = $+3/16$ = 0,19
	M3 = 0100 $\Rightarrow$ M2 = $+4/16$ = 0,25
15	M3 = 0101 $\Rightarrow$ M2 = $+5/16$ = 0,31
	M3 = 0110 $\Rightarrow$ M2 = $+6/16$ = 0,38
	M3 = 0111 $\Rightarrow$ M2 = $+7/16$ = 0,44
	M3 = 1000 $\Rightarrow$ M2 = $-8/16$ = - 0,5
	M3 = 1001 $\Rightarrow$ M2 = $-7/16$ = - 0,44
20	M3 = 1010 $\Rightarrow$ M2 = $-6/16$ = - 0,38
	M3 = 1011 $\Rightarrow$ M2 = $-5/16$ = - 0,31
	M3 = 1100 $\Rightarrow$ M2 = $-4/16$ = - 0,25
	M3 = 1101 $\Rightarrow$ M2 = $-3/16$ = - 0,19
	M3 = 1110 $\Rightarrow$ M2 = $-2/16$ = - 0,13
25	M3 = 1111 $\Rightarrow$ M2 = $-1/16$ = - 0,06

Afin d'effectuer la répartition proposée plus haut, le circuit DISCT reçoit un signal SCOUNT qui lui indique le rang de chaque impulsion du signal d'horloge Hs au sein de chaque groupe de N impulsions. Le signal SCOUNT est compris ici entre 0 et 15 et est ici prélevé à la sortie du décompteur DCT2, soit à l'entrée du comparateur

COMP3. Pour la bonne synchronisation du signal SCOUNT avec les caractères de 8 bits de données reçus par le circuit UART, le décompteur DCT2 est remis à zéro à chaque fois qu'un bit de démarrage STB est reçu par l'UART. A cet effet, le décompteur DCT2 reçoit un signal
 5 DET délivré par le circuit STBDET (fig. 4), qui passe à 1 lorsque le bit STB est détecté.

Le circuit DISCT est réalisé ici au moyen d'un compilateur VHDL. Sa structure étant trop complexe pour
 10 être illustrée par un schéma logique, on décrira ci-après un exemple d'algorithme VHDL permettant de réaliser ce circuit.

Algorithme VHDL pour la compilation du circuit DISCT :

```

15  DEC = '1'
    -- case "-8/16"
    when M3 = "1000"
    and SCOUNT = 13 or 12 or 11 or 10 or 3 or 2 or 1 or 0
20  or
    -- case "-7/16"
    when M3 = "1001"
    and SCOUNT = 13 or 12 or 11 or 3 or 2 or 1 or 0
    or
25  -- case "-6/16"
    when M3 = "1010"
    and SCOUNT = 13 or 12 or 11 or 2 or 1 or 0
    or
    -- case "-5/16"
30  when M3 = "1011"
    and SCOUNT = 13 or 12 or 2 or 1 or 0
    or
    -- case "-4/16"
    when M3 = "1100"
35  and SCOUNT = 13 or 12 or 1 or 0
  
```

```
or
-- case "-3/16"
when M3 = "1101"
and SCOUNT = 13 or 1 or 0
5 or
-- case "-2/16"
when M3 = "1110"
and SCOUNT = 13 or 0
or
10 -- case "-1/16"
when M3 = "1111"
and SCOUNT = 0
else '0'
***
15 INC = '1'
-- case "+1/16"
when M3 = "0001"
and SCOUNT = 13
or
20 -- case "+2/16"
when M3 = "0010"
and SCOUNT = 13 or 0
or
-- case "+3/16"
25 when M3 = "0011"
and SCOUNT = 13 or 12 or 0
or
-- case "+4/16"
when M3 = "0100"
30 and SCOUNT = 13 or 12 or 1 or 0
or
-- case "+5/16"
when M3 = "0101"
and SCOUNT = 13 or 12 or 11 or 1 or 0
35 -- case "+6/16"
```

```

when M3 = "0110"
and SCOUNT = 13 or 12 or 11 or 2 or 1 or 0
-- case "+7/16"
when M3 = 0111"
5 and SCOUNT = 13 or 12 or 11 or 10 or 2 or 1 or 0
else '0'

```

Considérons à titre d'illustration la séquence suivante :

```

10
    DEC = '1'
    -- case "-8/16"
    when M3 = "1000"
    and SCOUNT = 13 or 12 or 11 or 10 or 3 or 2 or 1
15 or 0"

```

Cette séquence signifie qu'un ajustement de -8/16 est appliqué à la période bit Tb lorsque le numérateur M3 est égal à "1000" (voir convention de codage plus haut) et que le signal DEC appliqué au circuit MODCT par le circuit DISCT est porté à 1 (MV=M1-1) pendant la détermination de la période des impulsions du signal Hs de rang 0, 1, 2, 3, 10, 11, 12 ou 13 (la valeur par défaut de DEC et INC étant 0).

25 L'algorithme VHDL exécuté par le circuit DISCT peut aussi être décrit en termes logiques simples :

```

Valeur par défaut de DEC et INC : 0
Si M2=+1/16 ⇒ INC=1 quand SCOUNT=13
30 Si M2=+2/16 ⇒ INC=1 quand SCOUNT=13,0
Si M2=+3/16 ⇒ INC=1 quand SCOUNT=13,12,0
Si M2=+4/16 ⇒ INC=1 quand SCOUNT=13,12,1,0
Si M2=+5/16 ⇒ INC=1 quand SCOUNT=13,12,11,1,0
Si M2=+6/16 ⇒ INC=1 quand SCOUNT=13,12,11,2,1,0

```

Si $M2 = +7/16 \Rightarrow \text{INC} = 1$ quand $\text{SCOUNT} = 13, 12, 11, 10, 2, 1, 0$
 Si $M2 = -8/16 \Rightarrow \text{DEC} = 1$ quand $\text{SCOUNT} = 13, 12, 11, 10, 3, 2, 1, 0$
 Si $M2 = -7/16 \Rightarrow \text{DEC} = 1$ quand $\text{SCOUNT} = 13, 12, 11, 3, 2, 1, 0$
 Si $M2 = -6/16 \Rightarrow \text{DEC} = 1$ quand $\text{SCOUNT} = 13, 12, 11, 2, 1, 0$
 5 Si $M2 = -5/16 \Rightarrow \text{DEC} = 1$ quand $\text{SCOUNT} = 13, 12, 2, 1, 0$
 Si $M2 = -4/16 \Rightarrow \text{DEC} = 1$ quand $\text{SCOUNT} = 13, 12, 1, 0$
 Si $M2 = -3/16 \Rightarrow \text{DEC} = 1$ quand $\text{SCOUNT} = 13, 1, 0$
 Si $M2 = -2/16 \Rightarrow \text{DEC} = 1$ quand $\text{SCOUNT} = 13, 0$
 $M2 = -1/16 \Rightarrow \text{DEC} = 1$ quand $\text{SCOUNT} = 0$.

10

Les figures 7, 8 et 9 illustrent trois exemples de modulation de la période des impulsions du signal d'horloge de suréchantillonnage H_s , choisis parmi les cas prévus ci-dessus. On considère dans ces exemples que la
 15 partie entière $M1$ de la consigne M est égale à 25, soit le cas limite conduisant à une erreur de synchronisation de 2% dans l'art antérieur. La durée de la période de chaque impulsion est mentionnée sur ces figures, " T_{osc} " étant la période du signal d'horloge primaire (désignée
 20 " T_o " dans ce qui précède).

Exemple A, figure 7

Cet exemple correspond au cas où $M2 = +1/16$ (soit 0,06). On voit que la période de la quatorzième impulsion S_{13}
 25 est égale à $26 \cdot T_o$ alors que les quinze autres impulsions présentent une période égale à $25 \cdot T_o$. Dans ce cas :

$M = M1 + M2 = 25,06$
 $T_b = 15 \cdot 25 T_o + 26 \cdot T_o$
 $T_b = T_o (15 \cdot 25 + 26) T_o$
 30 $T_b = 401 T_o$
 $F_b = F_o / 401$
 $T_{sav} = 401 / 16 T_o$
 $T_{sav} = 25,0625 T_o$

$$F_{sav} = F_0/25,0625$$

Exemple B, figure 8

Cet exemple correspond au cas où $M_2 = +2/16$ (soit 0,12). On voit que la période de la première impulsion S_0 et de la quatorzième impulsion S_{13} est égale à $26 \cdot T_0$ (soit $(M_1+1) \cdot T_0$) alors que les quatorze autres impulsions présentent une période égale à $25 \cdot T_0$. Dans ce cas :

$$\begin{aligned} 10 \quad M &= M_1 + M_2 = 25,12 \\ T_b &= 14 \cdot 25 T_0 + 2 \cdot 26 \cdot T_0 \\ T_b &= T_0 (14 \cdot 25 + 2 \cdot 26) \\ T_b &= 401 T_0 \\ F_b &= F_0/401 \\ 15 \quad T_{sav} &= 401/16 T_0 \\ T_{sav} &= 25,0625 T_0 \\ F_{sav} &= F_0/25,0625 \end{aligned}$$

Exemple C, figure 9

20 Cet exemple correspond au cas où $M_2 = -1/16$ (soit -0,06). La période de la première impulsion S_0 est égale à $24 \cdot T_0$ (soit $(M_1-1) \cdot T_0$) alors que les quinze autres impulsions présentent une période égale à $25 \cdot T_0$. Dans ce cas :

$$\begin{aligned} 25 \quad M &= M_1 + M_2 = 24,94 \\ T_b &= 15 \cdot 25 T_0 + 24 \cdot T_0 \\ T_b &= T_0 (15 \cdot 25 + 24) \\ T_b &= 399 T_0 \\ 30 \quad F_b &= F_0/399 \\ T_{sav} &= 399/16 T_0 \\ T_{sav} &= 24,9375 T_0 \\ F_{sav} &= F_0/24,9375 \end{aligned}$$

Dans les exemples ci-dessus, F_{sav} est la fréquence moyenne du signal H_s sur une durée de 16 périodes.

Il apparaîtra clairement à l'homme de l'art que la présente invention est susceptible de divers modes de
5 réalisation et applications.

En particulier la modulation de la période T_s des impulsions du signal d'horloge échantillonnage H_s peut être faite, comme décrit plus haut, exclusivement par valeurs positives ($T_s = (M_1 + 1) \cdot T_0$) ou exclusivement par
10 valeurs négatives ($T_s = (M_1 - 1) \cdot T_0$).

La présente invention est par ailleurs susceptible de diverses applications dans d'autres domaines que celui des transmissions de données asynchrones, et est applicable de façon générale à tout type de circuit
15 nécessitant un réglage fin d'un signal d'horloge, se trouvant au-delà de la capacité de résolution offerte par une division de fréquence par un nombre entier.

Dans de telles applications, le nombre N_i de périodes pour la détermination de la valeur moyenne de la
20 période T_s peut être une consigne variable choisie par l'utilisateur. Le nombre N_i peut également être choisit automatiquement par un circuit chargé de trouver la meilleure approximation, sous forme de nombre rationnel M_3/N_i , et sans dépasser une limite N_{imax} , d'une consigne
25 comprenant une partie M_2 purement décimale et non nécessairement rationnelle fournie au générateur d'horloge selon l'invention.

REVENDECATIONS

1. Générateur d'horloge programmable (CKGEN2) pour délivrer à partir d'un signal d'horloge primaire (Hs) de fréquence (Fo) et de période (To) déterminées un premier signal d'horloge (Hs) dont la fréquence (Fs) est égale à
5 la fréquence (Fo) du signal d'horloge primaire divisée par une consigne M,

caractérisé en ce que la consigne M est un nombre décimal comprenant une partie entière M1 et une partie décimale M2, et en ce qu'il comprend des moyens (MODCT,
10 DISCT, DIV1) pour moduler la période des impulsions du premier signal d'horloge de manière que la durée de Ni impulsions successives soit sensiblement égale à $M \cdot N_i$ fois la période (To) du signal d'horloge primaire (Ho), Ni étant un nombre de référence pour la modulation de la
15 période des impulsions du premier signal d'horloge.

2. Générateur d'horloge selon la revendication 1, comprenant des moyens (DIV2) pour délivrer un second signal d'horloge (Hb) dont la fréquence (Fb) est égale
20 à la fréquence (Fs) du premier signal d'horloge (Hs) divisée par un nombre N.

3. Générateur d'horloge selon la revendication 2, dans lequel Ni est égal à N.
25

4. Générateur d'horloge selon l'une des revendications 1 à 3, dans lequel la partie décimale M2 de la consigne M est un nombre rationnel codé binaire représentant une fraction modulable par incréments égaux
30 à $1/N_i$.

5. Générateur d'horloge selon la revendication 4, dans lequel la partie décimale M2 est une fraction

comprise entre $-(N_i-1)/(2*N_i)$ et $+0,5$ ou entre $-0,5$ et $+(N_i-1)/(2*N_i)$ par incréments égaux à $1/N_i$.

5 6. Générateur d'horloge selon l'une des revendications 4 et 5, ne recevant en entrée que la partie entière M_1 de la consigne et le numérateur (M_3) de la partie décimale rationnelle M_2 de la consigne.

10 7. Générateur d'horloge selon l'une des revendications 1 à 6, comprenant des moyens (MODCT) de modulation de la période des impulsions du premier signal d'horloge, agencés pour délivrer des impulsions du premier signal d'horloge dont la période (T_s) est égale à la période du signal d'horloge primaire (T_o) multipliée
15 par un nombre entier (MV) dont la valeur est variable.

8. Générateur d'horloge selon la revendication 7, dans lequel les moyens de modulation sont agencés pour délivrer des impulsions du premier signal d'horloge dont
20 la période est modulée sur deux valeurs égales à M_1*T_o et $(M_1+1)*T_o$, T_o étant la période du signal d'horloge primaire (H_o).

25 9. Générateur d'horloge selon la revendication 7, dans lequel les moyens de modulation sont agencés pour délivrer des impulsions du premier signal d'horloge dont la période est modulée sur deux valeurs égales à M_1*T_o et $(M_1-1)*T_o$, T_o étant la période du signal d'horloge primaire (H_o).

30

10. Générateur d'horloge selon la revendication 7, dans lequel les moyens de modulation sont agencés pour délivrer des impulsions du premier signal d'horloge dont la période est modulée sur trois valeurs $(M_1-1)*T_o$, M_1*T_o

et $(M1+1)*T_o$, T_o étant la période du signal d'horloge primaire (H_o).

11. Générateur d'horloge selon l'une des
5 revendications 7 à 10, dans lequel les moyens de modulation (MODCT) comprennent :
- un circuit multiplexeur (MUX1, MUX2) recevant en entrée plusieurs consignes de division ($M1$, $M1-1$, $M1+1$) dont la valeur varie par incréments entiers autour de la partie
10 entière $M1$ de la consigne M , délivrant une consigne (MV) de valeur variable sélectionnée parmi les plusieurs consignes de division, et
- un diviseur (DIV1) de la fréquence du signal d'horloge primaire (H_o) recevant sur une entrée la consigne de
15 valeur variable (MV) sélectionnée par le circuit multiplexeur.

12. Générateur d'horloge selon l'une des
revendications 7 à 11, dans lequel les moyens de
20 modulation sont pilotés par un circuit de répartition de modulation (DISCT) agencé pour répartir d'une manière déterminée, sur un groupe de N_i impulsions successives, les impulsions ayant leur période modulée.

25 13. Générateur d'horloge selon la revendication 12, dans lequel le circuit de répartition (DISCT) module en priorité la période des premières et des dernières impulsions parmi un groupe de N_i impulsions successives du premier signal d'horloge, et confère à la période des
30 impulsions centrales du groupe de N_i impulsions une valeur non modulée.

14. Générateur d'horloge selon l'une des
revendications 12 et 13 dans lequel lorsque $M2$ est
35 supérieur à 0,5 le circuit de répartition module la

période des impulsions du premier signal d'horloge par valeurs inférieures en utilisant comme valeur non modulée la valeur $To*(M1+1)$, To étant la période du signal d'horloge primaire.

5

15. Générateur d'horloge selon l'une des revendications 12 et 13, dans lequel lorsque $M2$ est inférieur à 0,5 le circuit de répartition module la période des impulsions du premier signal d'horloge par
10 valeurs supérieures en utilisant comme valeur non modulée la valeur $To*(M1)$, To étant la période du signal d'horloge primaire.

16. Générateur d'horloge selon l'une des
15 revendications 12 à 15, dans lequel le circuit de répartition (DISCT) comprend un bloc à logique câblée recevant en entrée la partie décimale $M1$ de la consigne M et délivrant aux moyens de modulation, à chaque nouvelle impulsion du premier signal d'horloge, un signal de
20 sélection (DEC, INC) du nombre entier déterminant la période de l'impulsion du premier signal d'horloge.

17. Circuit d'émission réception de données asynchrones (UART) comprenant un registre de
25 suréchantillonnage (OSREG) relié à une borne de réception de données (Rx), le registre étant piloté par un signal d'horloge de suréchantillonnage (Hs), caractérisé en ce qu'il comprend un générateur d'horloge (CKGEN2) selon l'une des revendications 1 à 16 et en ce que le premier
30 signal d'horloge (Hs) délivré par le générateur d'horloge forme le signal d'horloge de suréchantillonnage.

18. Circuit d'émission réception de données selon la revendication 17, utilisant pour la réception ou
35 l'émission de données un signal d'horloge bit (Hb) dont

la fréquence (F_b) est égale à la fréquence (F_s) du premier signal d'horloge (H_s) divisée par le nombre de référence N_i (N) du circuit générateur d'horloge.

5 19. Procédé pour délivrer à partir d'un signal d'horloge primaire de fréquence (F_o) et de période (T_o) déterminées, un premier signal d'horloge dont la fréquence (F_s) est égale à la fréquence (F_o) du signal d'horloge primaire divisée par une consigne M ,
10 caractérisé en ce que la consigne M est un nombre décimal comprenant une partie entière M_1 et une partie décimale M_2 , et en ce que la période des impulsions du premier signal d'horloge est modulée de manière que la durée de
15 N_i impulsions successives soit sensiblement égale à $M \cdot N_i$ fois la période (T_o) du signal d'horloge primaire, N_i étant un nombre de référence pour la modulation de la période des impulsions du premier signal d'horloge.

20 20. Procédé selon la revendication 19, comprenant la production d'un second signal d'horloge (H_b) dont la fréquence (F_b) est égale à la fréquence (F_s) du premier signal d'horloge (H_s) divisée par un nombre N .

25 21. Procédé selon la revendication 20, dans lequel N_i est égal à N .

30 22. Procédé selon l'une des revendications 19 à 21, dans lequel la partie décimale M_2 de la consigne M est un nombre rationnel codé binaire représentant une fraction modulable par incréments égaux à $1/N_i$.

35 23. Procédé selon la revendication 22, dans lequel la partie décimale M_2 est une fraction comprise entre $-(N_i-1)/(2 \cdot N_i)$ et $+0,5$ ou entre $-0,5$ et $+(N_i-1)/(2 \cdot N_i)$ par incréments égaux à $1/N_i$.

24. Procédé selon l'une des revendications 22 et 23, dans lequel le codage du nombre rationnel $M2$ ne comprend que le codage du numérateur ($M3$) du nombre rationnel $M2$, dont le dénominateur (Ni , N , $M3max$) est un nombre prédéterminé.

25. Procédé selon l'une des revendications 19 à 24, dans lequel la période des impulsions du premier signal d'horloge est modulée en multipliant la période du signal d'horloge primaire par un nombre entier dont la valeur est variable.

26. Procédé selon la revendication 25, dans lequel la période des impulsions du premier signal d'horloge est modulée sur deux valeurs égales à $M1 \cdot T_o$ et $(M1+1) \cdot T_o$, T_o étant la période du signal d'horloge primaire (H_o).

27. Procédé selon la revendication 25, dans lequel la période des impulsions du premier signal d'horloge est modulée sur deux valeurs égales à $M1 \cdot T_o$ et $(M1-1) \cdot T_o$, T_o étant la période du signal d'horloge primaire (H_o).

28. Procédé selon la revendication 25, dans lequel la période des impulsions du premier signal d'horloge est modulée sur trois valeurs $(M1-1) \cdot T_o$, $M1 \cdot T_o$ et $(M1+1) \cdot T_o$, T_o étant la période du signal d'horloge primaire (H_o).

29. Procédé selon l'une des revendications 25 à 28, dans lequel la modulation de la période des impulsions du premier signal d'horloge est mise en œuvre au moyen d'un circuit multiplexeur ($MUX1$, $MUX2$) recevant en entrée plusieurs consignes de division ($M1-1$, $M1$, $M1+1$) dont la valeur varie par incréments entiers autour de la partie entière $M1$ de la consigne M , et délivrant une consigne

(MV) de valeur variable sélectionnée parmi les plusieurs consignes de division, et au moyen d'un diviseur (DIV1) de la fréquence du signal d'horloge primaire recevant sur une entrée la consigne de valeur variable (MV)
5 sélectionnée par le circuit multiplexeur.

30. Procédé selon l'une des revendications 25 à 29, dans lequel la modulation de la période des impulsions du premier signal d'horloge comprend une répartition de
10 modulation consistant à répartir d'une manière déterminée, sur un groupe de N_i impulsions successives, les impulsions ayant leur période modulée.

31. Procédé selon la revendication 30, dans lequel
15 la répartition de modulation comprend le fait de moduler en priorité la période des premières et des dernières impulsions parmi un groupe de N_i impulsions successives, en conférant à la période des impulsions centrales du groupe une valeur non modulée.

20

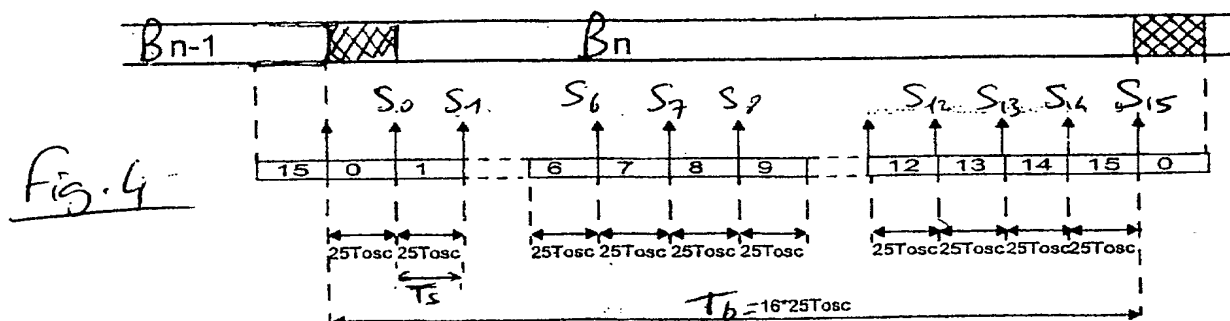
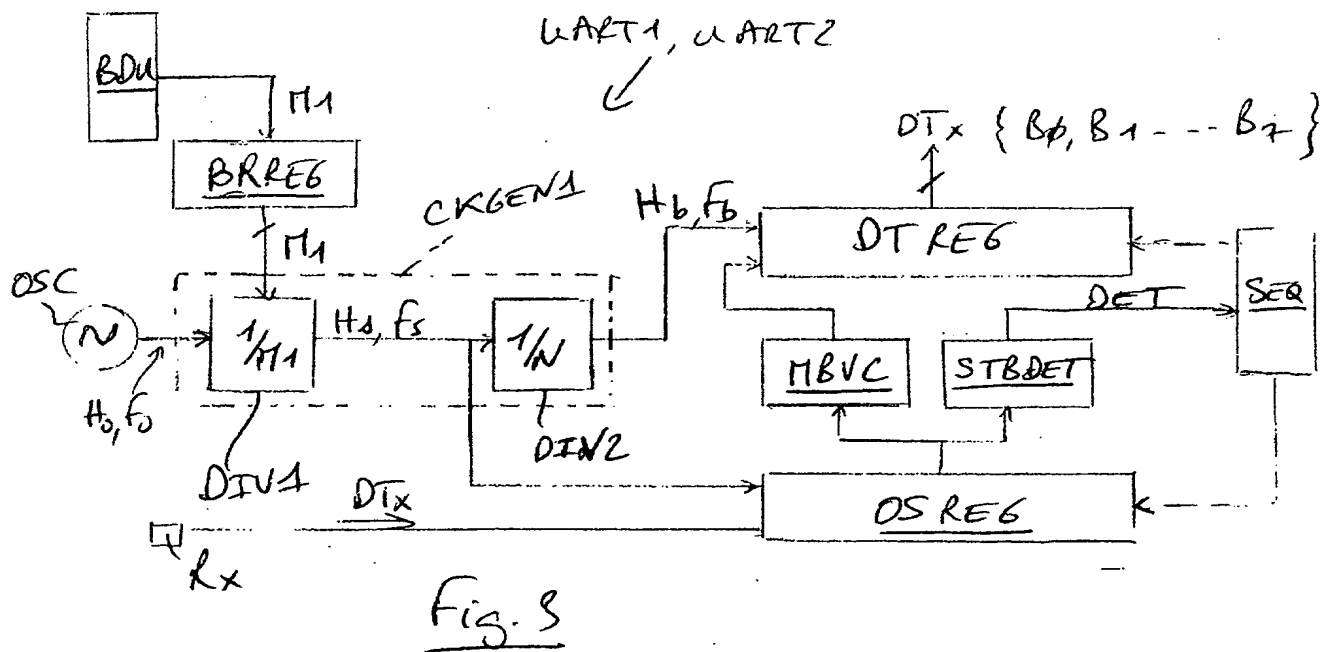
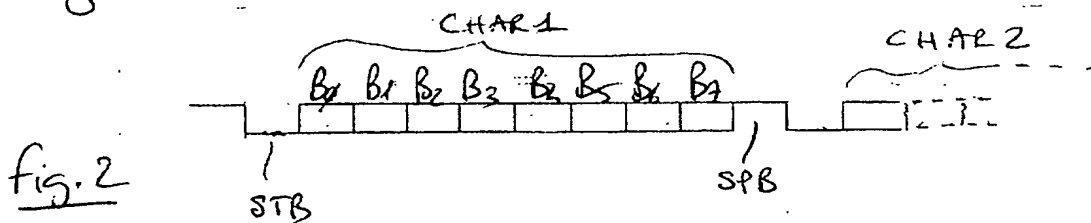
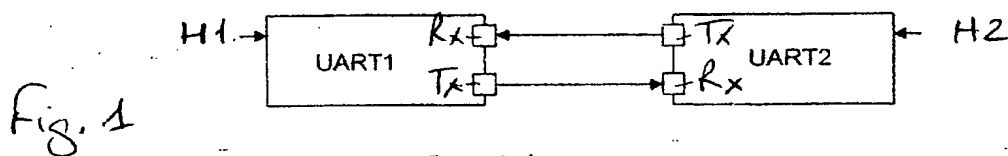
32. Procédé selon l'une des revendications 30 et 31 dans lequel lorsque M_2 est supérieur à 0,5 la période des impulsions du premier signal d'horloge est modulée par valeurs inférieures en utilisant comme valeur non modulée
25 la valeur $T_o \cdot (M_1 + 1)$, T_o étant la période du signal d'horloge primaire (H_o).

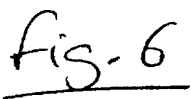
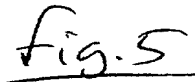
33. Procédé selon l'une des revendications 30 et 31, dans lequel lorsque M_2 est inférieur à 0,5 la période
30 des impulsions du premier signal d'horloge est modulée par valeurs supérieures en utilisant comme valeur non modulée la valeur $T_o \cdot (M_1)$, T_o étant la période du signal d'horloge primaire (H_o).

34. Procédé pour le suréchantillonnage, au moyen d'un signal d'horloge de suréchantillonnage (H_s), de données reçues sur une borne de réception de données, caractérisé en ce que le signal d'horloge de suréchantillonnage est délivré conformément au procédé selon l'une des revendications 18 à 31 à partir d'un signal d'horloge primaire de fréquence (F_o) et de période (T_o) déterminées.

10 35. Procédé selon la revendication 34, comprenant la production d'un signal d'horloge bit (H_b) dont la fréquence (F_b) est égale à la fréquence (F_s) du signal d'horloge de suréchantillonnage (H_s) divisée par un nombre N .

15 36. Procédé selon la revendication 35, dans lequel $N_i = N$.





$$\pi_2 = +1/16$$

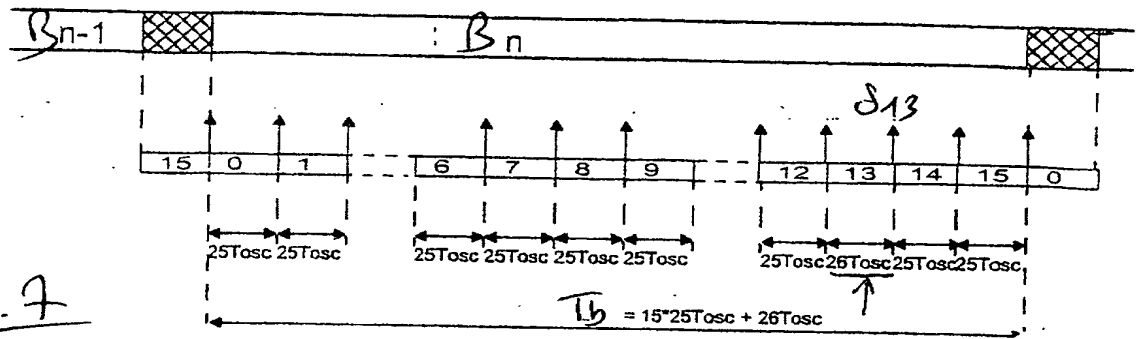


fig. 7

$$\pi_2 = +2/16$$

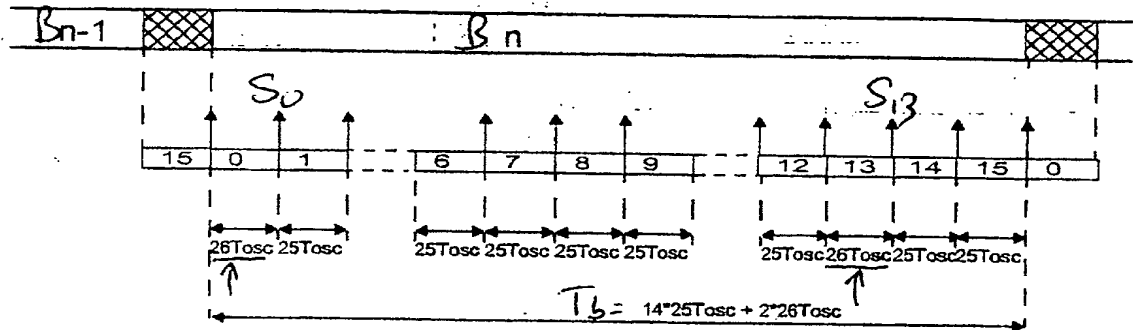


fig. 8

$$\pi_2 = -1/16$$

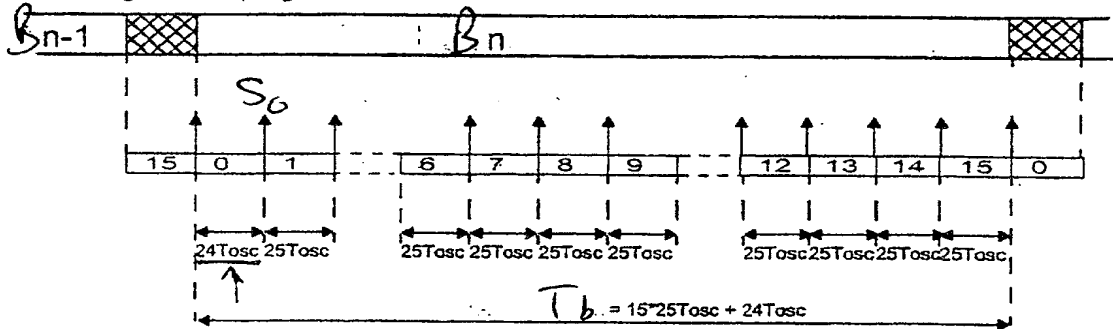


fig. 9



DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg

75800 Paris Cedex 08

Téléphone : 01 53 04 53 04 Télécopie : 01 42 93 59 30

BREVET D'INVENTION**CERTIFICAT D'UTILITÉ**

Code de la propriété intellectuelle - Livre VI



N° 11 235*02

DÉSIGNATION D'INVENTEUR(S) Page N° 1. / 1.

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

08 113 W / 260899

V s références pour ce dossier (facultatif)		100204 FR	
N° D'ENREGISTREMENT NATIONAL		OK 12 756	
TITRE DE L'INVENTION (200 caractères ou espaces maximum) Générateur d'horloge à consigne décimale et application d'un tel générateur d'horloge à un circuit UART			
LE(S) DEMANDEUR(S) : MARCHAND André OMNIPAT 24, Place des Martyrs de la Résistance 13100 AIX EN PROVENCE			
DESIGNE(NT) EN TANT QU'INVENTEUR(S) : (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
Nom		RUAT	
Prénoms		Ludovic	
Adresse	Rue	C/O OMNIPAT 24 Place des Martyrs de la Résistance	
	Code postal et ville	13100	AIX EN PROVENCE
Société d'appartenance (facultatif)			
Nom		DAVIDESCU	
Prénoms		Dragos	
Adresse	Rue	C/O OMNIPAT 24 Place des Martyrs de la Résistance	
	Code postal et ville	13100	AIX EN PROVENCE
Société d'appartenance (facultatif)			
Nom			
Prénoms			
Adresse	Rue		
	Code postal et ville		
Société d'appartenance (facultatif)			
DATE ET SIGNATURE(S) DU (DES) DEMANDEUR(S) OU DU MANDATAIRE (Nom et qualité du signataire) Aix en Provence, le 14 octobre 2002 MARCHAND André - CPI N° 95 0303 OMNIPAT			

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire.
Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.



